⑩ 日本 国特許庁(JP)

① 特許出願公開

◎ 公開特許公報(A) 平4-119594

Sint. Cl. 5

識別記号

庁内整理番号

❸公開 平成4年(1992)4月21日

G 11 C 16/04

9191-5L G 11 C 17/00

308

審査請求 未請求 請求項の数 4 (全5頁)

図発明の名称 半導体配億装置

②特 顧 平2-238492

②出 頤 平2(1990)9月7日

@発明者 高品

信 昭

神奈川県川崎市中原区上小田中1015番地 富士通株式会社

内

勿出 願 人 富士通株式会社

神奈川県川崎市中原区上小田中1015番地

197代 理 人 弁理士 青柳 稔

明 編 4

1. 発明の名称

半導体記憶装置

2.特許請求の範囲

1. 不揮発性メモリセルを備え、ブロック化したデータを書込まれる書換え可能な不揮発性半導体記憶装置において、

メモリセルの関値を低、中、高の3値にして、 その2値でデータを、残りの1値でデータブロッ クのインデックスを表わすようにし、

これらのデータとインデックスの読取り手段を 設けたことを特徴とする半導体記憶装置。

2. メモリセルへの3 値書込み回路は、選択ワード線の電位を高電圧(V_{pp})にする手段(Q_{a} 、W)と、該高電圧より高い高電圧(V_{pp} ['])にする手段(Q_{a} 、 I_{b} W)を備えることを特徴とする請求項1 記載の半導体記憶装置。

3. メモリセルへの3値書込み図路は、データリードより低い感度で読出す手段(Q12. W)、それより更に低い感度で読出す手段(Q13, | W)

を構え、

これらの手段で読出せるまでデータライトを繰り返すようにしてなることを特徴とする請求項1 記載の半導体記憶装置。

4. インデックスの読取り手段は、選択ワード 線を電源電圧 (Vcc) にする手段 (Qzz, R) と、 選択ワード線をそれより高い電圧 (Vcc') にす る手段 (Qzz, IR) を備えることを特徴とする 請求項 1 記載の半導体記憶装置。

3.発明の詳細な説明

(発明の概要)

プロック化したデータを書込まれる書換え可能 な不揮発性半導体配性装置に関し、

EPRON 等が自身でデータブロックの境界を付けることが出来るようにすることを目的とし、

不揮発性メモリセルを備え、ブロック化したデータを書込まれる書換え可能な不揮発性半導体記 性装置において、メモリセルの関値を低、中、高 の 3 値にして、その 2 値でデータを、残りの 1 値 でデータブロックのインデックスを表わすように し、これらのデータとインデックスの読取り手段 を設けた構成とする。

〔産業上の利用分野〕

本発明は、ブロック化したデータを書込まれる 番換え可能な不揮発性半導体記憶装置に関する。

EPHON, EEPRONなどの書換え可能な不揮発性半導体記憶装置においても近年非常に集積度が増大してきており、記憶容量が益々増加する傾向にある。記憶容量の増大でEPRON、EEPRONに、従来は計算機のハードディスク、フロッピィディスク等の外部記憶装置に書込んでいたデータに近い量のデータを書込むことが可能になり、外部記憶装置に類した使い方が可能となりつゝある。この場合は、1個のEPRON, EEPRON内に、多数のブロックからなるデータを書込む場合が出てくる。

〔従来の技術〕

1個のEPRON、EEPRON(以下EPRON 等という)内 に多数のブロックからなるデータを書込むとき、

(課題を解決するための手段)

本発明では不揮発性メモリセルの記憶状態を 0.1.2 の3値とし、そのうちの2値例えば 0.1 をデータ用、他の1値本例では 2 をデータブロックのインデックス用にする。そして通常の読取り(データリード)モードではデータ用2値を記憶したメモリセルの記憶データが読出され、インデックスピットのリードモードでインデックス用1値を記憶したメモリセルの記憶データが読出されるようにする。

第1図のし、はデータ 0、 1 挽取り用の関値、 し、はインデックス挽取り用の関値である。

第2図向はBPRON セル、同図のはBBPRONセルの 概要を示す。図示のようにこれらはコントロール ゲートCG、フローティングゲートFG、半導体 基板内のソース領域S、ドレイン領域Dなどから なる。BBPRONセルではフローティングゲートFG の一部が突出していて、ドレインDとの間の絶縁 層が極めて薄く、書込/消去に際して加えられる 電圧で電子がFGからDヘトンネリングできる点 各プロックの始、終端を示す情報が必要になる。 これにはブロック境界を示す複数ピットからなる コードを挿入することも考えられるが、該ピット が少数ピットではデータと区別を付けにくゝ、プロック判定を誤まる恐れがある。

このため従来方式では、データブロックの区別は自身では付けにくいので、他のメモリに各データブロックの境界アドレスを記憶させ、このメモリでブロック境界を知って、所望ブロックのデータをEPRON 等から読出す、等の方法をとっている。

(発明が解決しようとする課題)

このように従来方式ではPPRON 等は自身でデータブロックの区別を付けられず、データブロック 識別用の別のメモリを設ける等の措置が必要になって、効率的なシステムの設計ができない。

本発明はから点点を改善し、EPHON 等が自身で データブロックの境界を付けることが出来るよう にすることを目的とするものである。

がEPROM セルとは異なる。

これらのメモリセルは、フローティングゲート FGへ電子を注入するとMOSトランジスタとし ての関値が高くなり、電子を注入しないメモリセ ルと区別できる。これが通常の使用態様で、電子 を注入する/しない、関値が高い/低いをデータ 1. 0に対応させる。インデックス用の本例では 値2は、フローティングゲートPGに多量の電子 を注入して関値を更に高くしたものに相当する。

[作用]

このようにメモリセルの記憶状態を 0、1、2 の 3 値とし、そのうちの 1 値例えば 2 をインデッ クス用に割当てると、メモリ自身にデータブロッ クの境界情報を持たせることができる。例えば 0、 1 をデータ用、 2 をインデックス用とすると、 調値し、 で読むと、 このときオンになるセルの記憶 データは例えば 0、 オフになるセルの記憶データは な本例では 1 または 2 であり、また調値し、で読むと、このときオンになるセルの記憶データは 0 または1 (つまりデータ)、オフになるセルの記憶データは2 (つまりインデックス) となり、簡単確実にインデックス即ちブロック境界を知ることができ、これを除いた0、1としてデータを取出すことができる。

インデックスには0を割当て、データに1, 2 を割当てることも可能である。この場合は、L. で読んでオンになるセルがインデックスセル、L. で読んでオン/オフになるセルがデータセル(オ ンセルにはインデックスセルが含まれるからこれ を除く)である。

(実施例)

第3図に本発明の実施例国路を示す。3値はFGに電子を注入しない/する/多量にするで表わすから、ワード線電位を変えることで実現でき、この例を第3図(a)に示す。pチャネルMOSトランジスタQ。とnチャネルMOSトランジスタQ。はCMOSィンパータを構成し、ローデコーダRDの出力でオン/オフ状態を変えて、ワード線WLを

書込みを繰り返し、書込み深さを制御する。

即ち書込み時には、トランジスタQ11をインへ、コラムデューダ C D の出力でオンになう。然 オータ Q11を介して加え、書込みを行る。然 オフロファイモードでトランジスタ Q11をオンに カータのライト I W 時なら トランジスタ Q11をオンに する。 これらの カーシンスタ Q11をオンに する。 これらの カーシンスタ Q11をオンに する。 これら の カーシンスタ Q11をオンに する。 これら ランシスタ Q11をオンに する。 な 自 で は 次 で な 次 な は な で ま な は な に が 小で あ る。 密度で 言えば Q11のときが中、 Q11のときが中、 Q11のときが中、 Q11のと

トランジスタQ、4~Q、1・はノード a の電流を一定にする回路である。即ち、ノード a の電位が高い(予定値より、であり、以下同じ)とトランジスタは低抵抗、トランジスタQ、4、Q、5 は高抵抗になり、ノード a を下げる。逆にノード a の電位

選択/非選択する。即ちRDがしであればQ。オン、Q。オフでWLは選択、RDがHであればQ。オフ、Q。オンでWLは非選択である。このCHOSインバータの電源を読取り時、データ書込み時で変える。即ち読取り時RではトランジスタQ。をオンにしてCHOSインバータの電源をVccとし、データはいかではいる。では、インデックス書込み時IWではです。シジスタQ。をオンにしてCHOSインバータの電流をVrrにし、インデックス書込み時IWではできる。勿ないで、Vrrになる。のでは、Vrrになり、では、Vrrになり、Vrrになり、Vrrになり、Vrrになり、Vrrになり、Vrrになり、Vrrになり、Vrrになり、Vrrになり、Vrrになる。

第3図(D)は他の書込み方法を示す図である。本例では書込みはインデックスも通常データも同じ 回路で行ない、ベリファイ(データが書けている かどうか読んでみる動作)時にセンスアンプのロ ードトランジスタを変えて、各々で読めるように

が低いとトランジスタQ・は高抵抗、トランジス タQ・s、Q・sは低抵抗になりノードaを上げる。

メモリセルMCはこのような回路のトランジスタQii、およびコラムデコーダCDの出力でオンになるトランジスタQiiを介して負荷トランジスタQiiを介して負荷トランジスタQiiのいずれかに接続される。インデックスライト時には感度が低いので、連常のデータライトされた程度のセルでは読出し出力Doutが介まれない(MCがオンになって、Doutが介まれない)。そこでライトを振り返し、充分書込めたとき(関値が充分高くなったとき)MCはオフでDoutが立上り、読出し出力が得られるから、これでインデックスライトを終了する。

通常のデータライトではベリファイ時にトランジスタQ11を選択し、これでDone、が得られるまで書込みを繰り返す。データリードではトランジスタQ11を選択し、高感皮読出しを行なう。インデックスリードではトランジスタQ11を選択し、これでDone、がHになるセルがインデックスセルである。

第3図(C)は同図(D)の変形で、トランジスタQ11を書略している。データリードでトランジスタQ11を選択すると、トランジスタQ11を選択したのと同じになり(各トランジスタが流す電流をそのように選定する)、高感度読出しが行なえる。データライト、インデックスライト、インデックスリードの監機は第3図(D)と同じである。

リード時にワード線電位を変えてデータリードは、インデックスリードしてもよく、その例を第3図 (d)に示す。電源 V cc' は電源 V cc より高く Q zii を オンにフタリード R のときトランジスタ Q zii を オンにして選択ワード線 W L を ソンにはオフになら、で 4 とこれで 2 とこれで 2 とこれで 3 とこれで 4 とこれで 5 とこれで 5 とこれで 5 とこれで 5 とこれで 5 とこれで 6 とこれで 7 とこれで 6 この V cc が 1 図のし 1 に に対応する。

ライトでは核Vァァ・嫡子にVァァ、を印加し、これを 高電圧検出回路が検出してIWを発生する、よう にすることができる。この場合は、Q』のドレイ ンをVァァへ接続しておく。

3 植書込みにおける深い書込みには、上述のワード線電位を変える、深い書込みになるまで通常書込みを繰り返す他、ドレイン電圧を変える、方法も可能である。

(発明の効果)

以上説明したように本発明によれば、従来のEP RON, EEPRONの機構を殆んど変える事なく、セルの値を3値にすることで、データブロックにインデックスを付けることが可能になり、かゝるEPRON 等を用いることにより、インデックス用メモリは不要な、効率的なシステムの設計が可能になる。4. 図面の簡単な説明

第1図は本発明の原理図、

第2図はメモリセルの構造説明図、

第3団は本発明の実施例を示す回路図である。

インデックスリードして得られる出力 Dout は、そのときのメモリアドレスの形で使用しても、または単なる H レベルである該出力 Dout のまって使用してもよい。、メモリ(EPROM, EEPROM)の i 番目のプロックをリード、に対しては後者で充分で、例えばメモリアドレスをインクリメントしながらインデックスリードし、3番目の出力 Dout で以後データリードに切換えればよい。勿論、所望データは何番目のプロックに入っているかを、知っている必要はある。

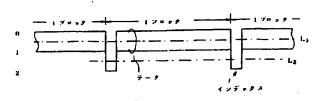
インデックスセルに後続させて当該データブロックのIDコードなどを、普通データと同様にして、書込んでおいてもよい。この場合はインデックスリードでブロック境界を知り、データリードに変更して後続のIDコード等を知り、これより所望ブロックか否かを知り、所望ブロックのデータを設出すことができる。

インデックスライトIWなどの信号は内部発生させることができる。例えば第3図(a)ではVゥュ 増子に高電圧検出回路を設けておき、インデックス

第1図で0、1,2はメモリセルの3値、L. L.はこれを識別する閾値を示す。

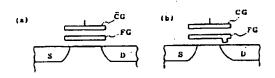
出 顧 人 富士 通 株 式 会 社 代理人弁理士 青 柳 珍

特問平4-119594(5)



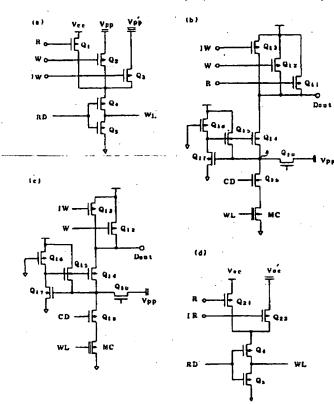
本名明の原釈図

第 1 図



フィリヒルの構造は別談

第 2 凶



本発明の実施例を示す 目路領

第 3 図